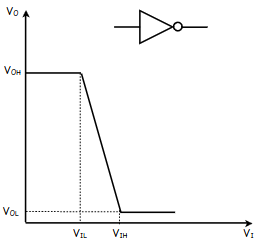
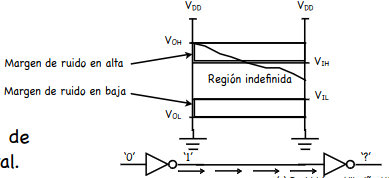
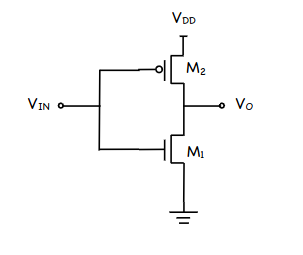
**Métricas de calidad**

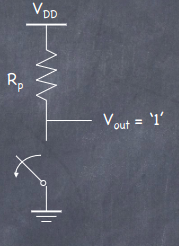
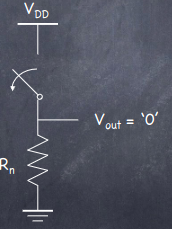
**Introducción**

* Para caracterizar una familia lógica, se utiliza el inversor como modelo, por ser el componente más sencillo.
* Tomamos por ejemplo un inversor CMOS, para analizar las características generales de la tecnología CMOS.
* En un inversor CMOS, Vi=1 → Vo=0, Vi=0 → Vo=1. Sin embargo, ‘0’ y ‘1’ representan valores reales de voltaje.
  + Se suele tomar 5V para el 1 y 0V para el 0.

**Fiabilidad y robustez III**

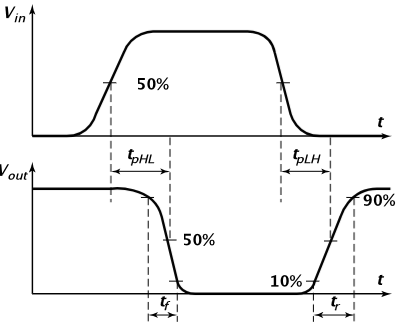
* La curva **VTC** (voltage transfer characteristic) representa Vo respecto a Vi para un componente. Permite describir el comportamiento ideal y real de un componente.
* **VOH**: Nivel alto de salida
* **VOL:** Nivel bajo de salida
* **VIL:** Valor máximo de entrada interpretado como 0
* **VIH:** Valor mínimo de entrada interpretado como 1
  + VIL y VIH se consiceran como los puntos con pendiente -1
* **NML**: Margen de ruido en baja: VIL-VOL
* **NMH:** Margen de ruido en alta: VOH-VIH
* Cuanto mayores sean los márgenes de ruido, más robusto será el circuito.

**Inversor CMOS** 

* VOH = VDD (voltaje de alimentación), VOL=0. Márgenes de ruido elevados
* Rn = Kn\*Ln/Wn, Rn = Kp\*Lp/Wp,
  + Es decir, la resistencia ofrecida es dir.prop. a la longitud del transistor e inversamente a la anchura. K es una constante propia del transistor.

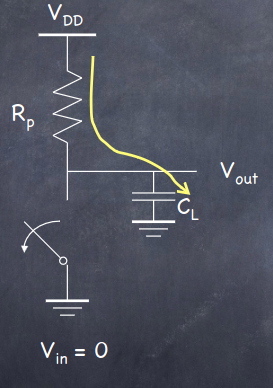
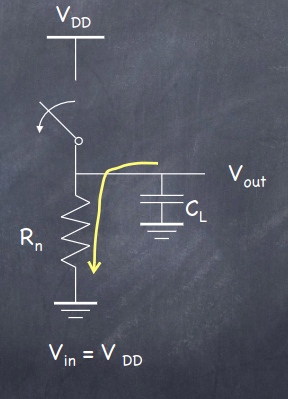
**Coste**

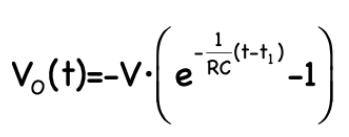
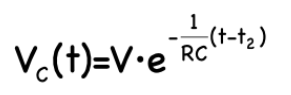
* Determinado por el **número** y **tamaño** de transistores
* A mayor tamaño, mayor probabilidad de fallo

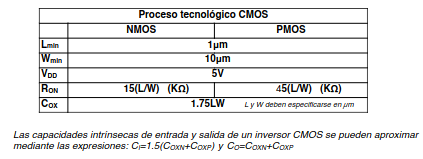


**Velocidad**

* Se puede medir lo que tarda en variar la salida:
  + **Tiempo de bajada (tf):** Tiempo que tarda la salida en bajar del 90% al 10%
  + **Tiempo de subida (tr):** Tiempo del 10% al 90%
* Sin embargo, es más útil considerar el tiempo completo que tarda desde recibir una entrada a producir una respuesta.
  + **Retardo de propagación alta-baja(tpHL)**: Tiempo desde que la entrada alcanza el 50% del valor alto hasta que la salida conmuta en un 50%.
  + **Retardo de propagación baja-alta(tpLH):** Tiempo desde que la entrada alcanza el 50% del valor bajo hasta que la salida conmuta en un 50%.
  + Se define el **retardo de propagación** como **tp** = (tpHL + tpLH)/2

**Retardo en un circuito**

* En la conmutación LH el condensador se carga.
  + La capacidad **CL** representa la capacidad de salida de este inversor sumada a las capacidades de entrada de todas las puertas a la que va conectada.
* Carga de condensador:
* Sustituimos V=VDD, Vo(tPLH) = vDD/2. Obtenemos **tPLH** = ln(2)RPCL
* En la conmutación HL el condensador se descargará.
* Con el mismo proceso obtenemos **tPHL**=ln(2)RNCL
* Conclusiones:
  + Buscamos que los retardos sean simétricos, por lo que buscaríamos que Rp=Rn=R. Entonces, **[[1]](#footnote-0)**
  + **tp** es directamente proporcional a **CL**, y CL aumentará cuanto más puertas lógicas estén conectadas (y cuanto
  + mayor sea su CI)
    - Definimos **fan-out** como el nº de puertas conectadas a la salida de la puerta conectada. A mayor fan-out, mayor retardo.
  + **tp** es también directamente proporcional a R, por lo que debemos minimizarla. Para esto:
    - Debemos minimizar **Ln** y **Lp** (llegado cierto punto es imposible)
    - Maximizar **Wn** y **Wp** (sin embargo, aumentar W también aumenta la CO del transistor, por lo que dependerá del caso si merece la pena aumentar W o no)

**Ejemplo: Obtener retardos de un inversor**

* Sea un inversor CMOS con carga CL=200pF. Dadas las especificaciones, calcular los retardos.
* Se debe asegurar que sea **simétrico** (Rp=Rn). Se consider<an los valores mínimos de L posibles y se calcula el W necesario para asegurar la simetría.
  + Lp=LN=1μm, Wn=10μm, Wp=30μm. Para estas dimensiones, RN=Rp=1.5K
* Se calculan las capacidades con las expresiones dadas.
* Teniendo en cuenta que RN=RP, conocemos que tp=tPHL=tPLH = ln(2)\*R\*(CO+CL).

**Consumo de potencia II**

* **Potencia media:** Marca principalmente la vida de la batería
* **Potencia instantánea (picos de potencia):** determina el diseño del cableado y afecta a los márgenes de ruido y a la fiabilidad de resistencia
* Se diferencia entre **potencia estática** (consumida en situación estable) y **potencia dinámica** (consumida en transición entre estados).
  + En tecnología CMOS, la principal es la dinámica.
  + Existe también la potencia de **cortocircuito**, producida en transición de estados cuando temporalmente hay paso de corriente entre alimentación y terra.

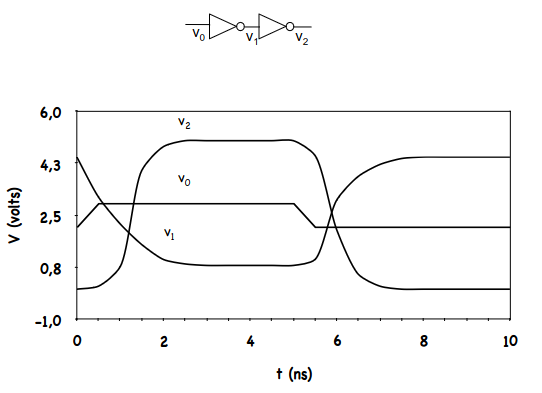
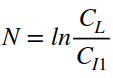
**Consumo de un circuito**

* ****

(potencia dinámica, 90%) (potencia de cortocircuito, 8%) (potencia estática, 2%)

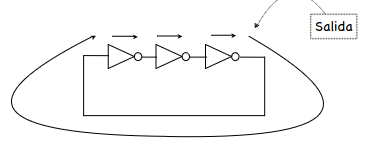
* Para disminuir el consumo de potencia dinámica, se deben disminuir **CL** (fanout), **VDD**(tensión de alimentación) y **fo** (frecuencia)
* La potencia de cortocircuito depende principalmente del **fanout:** cuanto mayor sea el fanout, menor será la potencia (cuanto más fanout mejor, es inverso a en la potencia dinámica)
  + Aun así es mejor fanout pequeño porque PD es más significativa
* La potencia estática (fugas) depende principalmente del proceso de fabricación

**Inversores en cascada**

* La unión de dos inversores CMOS es útil por su **propiedad regenerativa:** permite que una señal perturbada converja al nivel de tensión normal
* En ocasiones, utilizar varios inversores también permite **reducir los retardos**, pues puede ser más fácil cargar paso a paso una capacidad CL que cargarla de golpe en un único paso (ejemplo de escalar muro/subir con escaleira)
  + Si para un inversor CL >> CO, tp=tPHL=tPLH=ln2RCL.
    - Aumentar W para este transistor aumentará su CO (lo cual no es demasiado relevante) pero también aumentará su CI, perjudicando al resto del circuito.
    - La **CL** de un inversor k es **COk + CI(k+1)**
  + Por lo tanto, en lugar de modificar su W añadimos otros dos inversores, tales que el segundo es s veces más grande que el primero y el tercero es s2 veces más grande que el primero.
    - Si el escalado es ideal, 
    - Sumamos sus tiempos de retardo. Para N inversores, asumiendo un escalado ideal, 
    - Para calcular el nº de escalones N que minimiza el retardo, derivamos la expresión en función de N. Asumiendo pequeño el retraso de la primera etapa, obtenemos:
    -  (N: nº de etapas óptimo)
    - En una situación real tomaremos s y N enteros, y no se cumplirá que el escalado sea ideal. Se redondeará N al número entero más próximo[[2]](#footnote-1) .
      * Se suele tomar s entre 2 y 4.

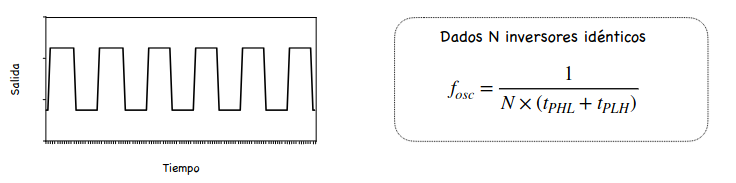
**Ejemplo: Optimizar inversor con cadena de inversores**

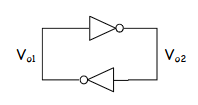
* Dado un inversor (con las características del ejemplo previo), calcular el número óptimo de inversores que encadenar.
* Se calcula mediante la fórmula previa. Obtenemos N=7.55 y s=2.718, por lo que redondeamos a N=7 y s=3.
  + Podemos comprobar, experimentalmente, otros valores de N (5 o 9) y comprobar que ambos producen un tP mayor que N=7, por lo que 7 es el valor óptimo.



**Oscilador en anillo**

* Un lazo cerrado de un número **impar** de inversores proporciona un **oscilador digital**.



**Biestable**

* Un lazo cerrado de un número **par** de inversores proporciona una **salida estable.**
* La salida será siempre 0 o 1, y no varía si no se produce interferencia externa.

**homer simpson**

definición de margenes de ruido, retardos de propagacion, tipos de potencia, fórmula de cadena inversores (solo a do logaritmo e a de s) e frecuencia de oscilador

1. nota: 1 m = 10³ mm = 10⁶ μm = 10⁹ nm = 10¹² pm = 10¹⁵ fm [↑](#footnote-ref-0)
2. Tener en cuenta que N impar invertirá la entrada. Si el dispositivo que se optimiza es un inversor, se debe dejar N impar. [↑](#footnote-ref-1)